

ИССЛЕДОВАНИЕ ВОЗДЕЙСТВИЯ ЭЛЕКТРОСТАТИЧЕСКИХ РАЗРЯДОВ НА МОЩНЫЕ МОП ТРАНЗИСТОРЫ С УЧЕТОМ ВЛИЯНИЯ ЕМКОСТИ ПЕЧАТНОЙ ПЛАТЫ

Ю.А. Константинов, Е.Д. Пожидаев, С.Р. Тумковский

Национальный исследовательский университет «Высшая школа
экономики» (НИУ ВШЭ)

Abstract— Моделирование воздействия электростатических разрядов (ЭСР) на мощные МОП транзисторы, имеющие встроенную защиту, показало, что транзисторы с незначительными емкостями затвор – исток более чувствительны к воздействию ЭСР.

Установлена зависимость емкости печатной платы, при которой происходит пробой подзатворного диэлектрика МОП транзистора, и напряжения ЭСР.

Показано, что для мощных МОП транзисторов, имеющих встроенную защиту, но обладающих незначительной емкостью затвор – исток, следует предусматривать внешнюю схемотехническую защиту от ЭСР.

Введение

Высокая чувствительность современной радиоэлектронной аппаратуры к электростатическим разрядам обуславливает появление обратимых и катастрофических отказов при воздействии этих разрядов на её компоненты [1]. В первую очередь это касается твердотельных интегральных микросхем [2], и особенно микросхем, выполненных по КМОП технологии [3].

Протестированные электронные компоненты используются в составе радиоэлектронной аппаратуры (РЭА) различного назначения, изготавливаемой на печатных платах. Производители такой аппаратуры тестируют выпускаемую продукцию на воздействие ЭСР [4]. Компоненты и конструкция, такой аппаратуры в значительной степени определяют ее стойкость к воздействию ЭСР.

При проектировании радиоэлектронной аппаратуры как на конструкторском, так и на схемотехническом этапах необходимо учитывать возможное влияние печатных плат на помехозащищенность компонентов и системы в целом. В работах [5,6] показано, что устранить возникновение ЭСР при зарядении диэлектриков можно путем использования композитных диэлектриков с контролируемой проводимостью. Для этого необходимо целенаправленно увеличить темновую проводимость полимерного диэлектрика введением определенного количества мелкодисперсной графитированной сажи, или металлического порошка.

Было найдено, что при удельной объемной проводимости диэлектрика порядка 10^{-10} Ом⁻¹·м⁻¹ заряд в

диэлектрике уже не будет накапливаться в количестве, приводящим к разряду. Это происходит в результате увеличения его стока и перераспределения. Использование таких диэлектриков в составе печатных плат аппаратуры цифровой и аналоговой электроники показало, что при увеличении удельной объемной проводимости вплоть до $\gamma = 2 \cdot 10^{-7}$ Ом⁻¹·м⁻¹ изменения функциональных характеристик аппаратуры не наблюдалось. Это обуславливает возможность их применения в печатных платах для защиты от поражающего действия факторов электризации на этапе конструирования.

Одними из наиболее распространенных элементов интегральных схем являются транзисторы, выполненные по технологии металл – диэлектрик – полупроводник, где в качестве подзатворного диэлектрика используется диоксид кремния. Быстродействие РЭА зависит не только от емкостей затвор-исток и затвор-сток таких транзисторов, но и связано с наличием паразитных емкостей – контактных площадок, перекрытия проводников и металлизации печатной платы [7]. Емкость печатной платы, обусловленная металлизацией, играет существенную роль в выходе из строя транзистора при воздействии ЭСР. Так в [8] было показано, что статический потенциал порядка 100 В заряженной печатной платы в результате последующего ЭСР может привести к отказу компонента РЭА.

Такого рода исследования привели к появлению новой модели зарядения, источником разряда в которой является заряженная печатная плата - СВМ (Charged board model) [9]. Её можно рассматривать как частный случай модели заряженного устройства (CDM - Charged-Device Model), когда во внимание принимается не только заряженный компонент аппаратуры, но и печатная плата, на которой он установлен.

Когда компонент находится вблизи металлического заземленного предмета между ним и этим предметом возникает электрический разряд. При этом заряд на диэлектрическом корпусе компонента через вывод транзистора стекает на металлический предмет и на «землю». В этот момент между выводами транзистора возникает электрический разрядный импульс с достаточно

высокой амплитудой напряжения. В случае, если вызванная импульсом разность потенциалов между затвором и истоком достигает напряжения пробоя, происходит пробой подзатворного диэлектрика. Для МОП – транзисторов серии IRF напряжение пробоя оксида, согласно данным фирмы производителя составляет 75-80 В [10].

В [11] нами изложены результаты исследования влияния емкости печатной платы на пробой мощных МОП транзисторов, имеющих низкие величины емкости затвор – исток при воздействии электростатических разрядов. В настоящей статье излагаются результаты исследования влияния емкости печатных плат на напряжение затвор – исток, и, соответственно, на отказы мощных МОП транзисторов, обладающих помимо низких значений величин емкости затвор – исток C_{gs} встроенной защитой от ЭСР.

Такие МОП транзисторы, обладают низким сопротивлением, обеспечивают высокую скорость переключения, и используются в качестве переключателей, драйверов двигателей, реле, а также драйверов мощных, биполярных транзисторов.

Моделирование воздействия ЭСР на мощные МОП транзисторы с учетом влияния емкости печатной платы

Для исследования были выбраны N-канальные мощные транзисторы IRLMS1503PbF, IRFZ24NPbF и IRLR024NPbF, имеющие емкости затвор – исток: C_{gs} : 120 пФ [12], 230 пФ [13] и 350 пФ [14], соответственно.

При разработке компьютерной модели использовался подход, развитый в работах [15] и [16], касающийся методов моделирования воздействия электростатического разряда и состоящий в представлении объекта воздействия ЭСР в виде эквивалентной электрической схемы и последующем её моделировании с помощью программного обеспечения для схемотехнического моделирования.

Соответствующая схемотехническая модель приведена на рис. 1. Для моделирования МОП транзистора использовались модели [18] фирмы производителя транзистора. Все вышеперечисленные транзисторы имеют встроенную защиту от ЭСР.

Элементы схемотехнической модели V_1 , S_1 , R_1 , L_1 , C_2 и R_3 задают форму стандартного импульса электростатического разряда. Введение в схемотехническую модель индуктивности L_2 и емкости C_1 позволяет учесть конструкцию печатной платы, на которой смонтирован МОП транзистор.

По величине емкость C_1 может составлять от десятка до нескольких сотен пФ и, соответственно, на ней может накапливаться достаточно большой электрический заряд.

Согласно схемотехнической модели, C_1 включена последовательно с емкостью затвор – исток МОП транзистора C_{gs} .

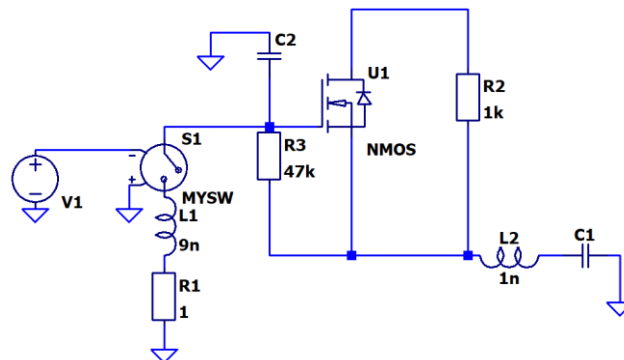


Рис. 1. Схемотехническая модель воздействия ЭСР на МОП транзисторы с учетом емкости печатной платы

При электростатическом разряде накопленный заряд в течение очень короткого времени перераспределяется между емкостями транзистора и печатной платы и через заземлённый вывод транзистора уходит на «землю».

Нас будет интересовать максимальная величина амплитуды напряжения, возникающего между истоком и изолированным затвором, т.к. именно эта величина позволяет сделать вывод будет пробит подзатворный диэлектрик транзистора, или нет. Стандартный импульс электростатического разряда по модели заряженного устройства (CDM Charged-Device Model) характеризуется чрезвычайно быстрым нарастанием тока ЭСР и короткой длительностью импульса тока, поэтому моделирование переходного процесса при воздействии ЭСР мы будем проводить в диапазоне 60 нс.

Примем, что в зависимости от конструкции печатной платы, величина емкости C_{psb} будет лежать в диапазоне от 50 до 700 пФ. Именно в этом диапазоне будем исследовать влияние величины емкости печатной платы на переходный процесс в схемотехнической модели при ЭСР.

Исследования проводились при напряжениях разряда V_{ESD} от 200 до 600 В. Для этих значений рассчитывался переходный процесс изменения напряжения затвор – исток при различных величинах емкости печатной платы.

На рис. 2 показаны результаты расчета переходного процесса напряжения затвор – исток транзистора IRLMS1503PbF. при напряжении разряда $V_{ESD}=400В, 600В$ и емкостях печатной платы $C_{psb}= 300, 400, 500$ и 600 пФ (кривые 1-4).

Как видно из графиков, стационарное состояние напряжения затвор-исток достигалось за 60 нс.

При увеличении емкости печатной платы стационарные значения напряжений затвор – исток V_{st} , к которым стремятся кривые переходного процесса при ЭСР, возрастают. При увеличении напряжения разряда (рис. 3b), стационарные значения напряжений затвор-исток также возрастают.

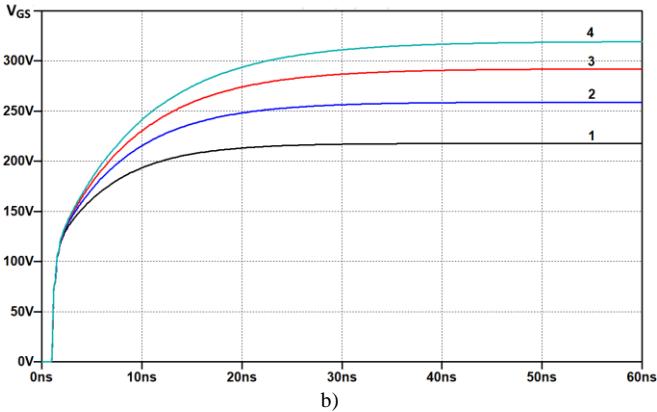
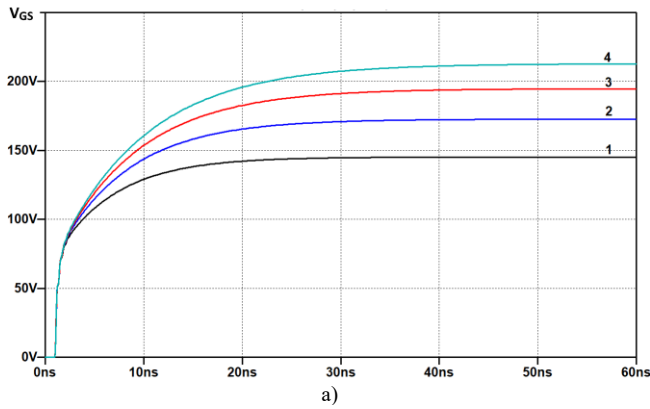


Рис. 2. Кривые переходного процесса напряжение затвор–исток транзистора IRL1503PbF при напряжении разряда а) $V_{ESD}=400$ В, б) $V_{ESD}=600$ В и емкостях печатной платы C_{psb} : 1 - 300 пФ, 2 - 400 пФ, 3 - 500 пФ, 4 - 600 пФ.

Кривые переходного процесса для других напряжений указанного транзистора, а также остальных транзисторов имеют подобный характер.

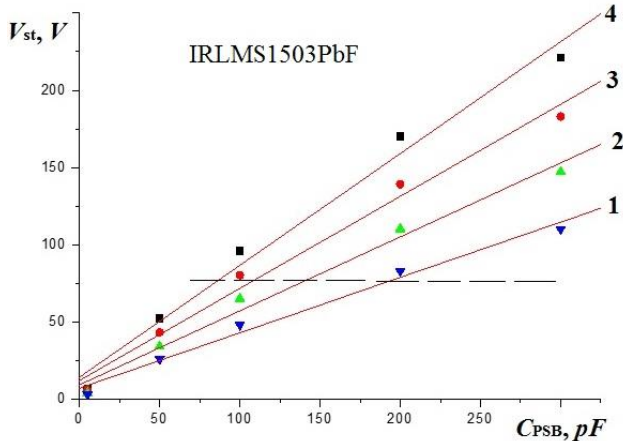


Рис. 3. Зависимость стационарных значений напряжения затвор – исток от емкости печатной платы для разных напряжений V_{ESD} разряда: 1 - 300 В; 2 - 400 В; 3 - 500 В; 4 - 600 В. Пунктирная кривая показывает уровень напряжения пробоя подзатворного диэлектрика для транзистора IRLMS1503PbF

На рис. 3 показаны, рассчитанные зависимости величин стационарных напряжений затвор-исток V_{st} для транзистора IRLMS1503PbF от емкости печатной платы. Эти изменения, как видно из графиков, носят линейный характер.

При этом пунктирная прямая на графике показывает уровень напряжения пробоя подзатворного диэлектрика. Напряжение на затворе равно напряжению разряда. Емкости C_{gs} затвор – исток и емкость C_{psb} печатной платы образуют делитель напряжения, и соотношение этих емкостей определяет напряжение затвор – исток. Чем больше емкость печатной платы, тем меньше напряжение на истоке и, соответственно, больше напряжение V_{gs} затвор - исток. Когда растущее с увеличением C_{psb} напряжение затвор - исток достигает величины пробивного напряжения, имеет место пробой подзатворного диэлектрика.

В этом случае отказы МОП транзисторов связаны с несобственным пробоем подзатворного диэлектрика, который обусловлен его дефектами [17]. Напряженность электрического поля, соответствующего этому механизму пробоя, составляет от $8 \cdot 10^8$ до $10 \cdot 10^8$ В/м, что при обычной толщине оксида в мощных МОП транзисторах порядка 100 нм дает величину напряжения пробоя 80-100 В. При толщине оксидного слоя в мощных МОП транзисторах около 100 нм значения напряжения пробоя не превышают 100 В. Эти величины хорошо согласуются с приведенным в [10] значением величины напряжения пробоя для МОП – транзисторов серии IRF, составляющим 75-80 В. В данном исследовании принимается, что пробой подзатворного диэлектрика происходит при напряжении пробоя 80 В.

Для транзистора IRLMS1503PbF при напряжении разряда 300В емкость печатной платы, при которой наступает пробой, составляет 213 пФ. При увеличении напряжения разряда пробой подзатворного диэлектрика наблюдается, как и следовало ожидать, при меньших значениях емкости печатной платы (см. таблицу).

Таблица. Величины емкости печатной платы, при которых происходит пробой подзатворного диэлектрика, для различных напряжений электростатического разряда.

Напряжение разряда, V_{ESD} , V		300	400	500	600
Емкость печатной платы, C_{psb} , pF	IRLR024NPbF	505	343	280	200
	IRFZ24NPbF	375	265	208	165
	IRLMS1503PbF	213	152	116	92

При напряжении разряда 600В пробой происходит уже при существенно меньшем значении емкости печатной платы, составляющем всего 92 пФ. И это при наличии у транзистора встроенной защиты от ЭСР. Заметим, что емкость затвор – исток C_{gs} транзистора IRLMS1503PbF составляет всего 120 пФ.

Аналогичные зависимости стационарных значений напряжения затвор – исток от емкости печатной платы для разных напряжений разряда V_{ESD} получены для транзисторов IRFZ24NPbF и IRLR024NPbF, и результаты сведены в таблицу.

Эти транзисторы имеют большие значения емкости затвор – исток C_{gs} (230 и 350 пФ, соответственно), чем транзистор IRLMS1503PbF. Изменение емкости печатной платы, при которой происходит пробой подзатворного диэлектрика, у них имеет такую же тенденцию как на рис. 3. Отличие лишь в том, что при большей величине емкости затвор – исток C_{gs} , пробой подзатворного диэлектрика

будет возникать при больших значениях емкости печатной платы.

В результате компьютерного моделирования для транзисторов IRLMS1503PbF, IRFZ24NPbF и IRLR024NPbF получены зависимости емкости печатной платы C_{psb} , при которой возникает пробой подзатворного диэлектрика, от напряжения электростатического разряда, попадающего в цепь МОП транзистора. Они представлены на рис. 4.

Из них видно, что при одном и том же напряжении разряда пробой подзатворного диэлектрика у IRFZ24NPbF возникает при больших емкостях печатной платы, чем у IRLMS1503PbF, а у IRLR024NPbF при еще больших емкостях.

Если в цепи с IRLR024NPbF проходит импульс электростатического разряда амплитудой 500 В, то чтобы не произошло пробоя, емкость печатной платы не должна превышать 280 пФ.

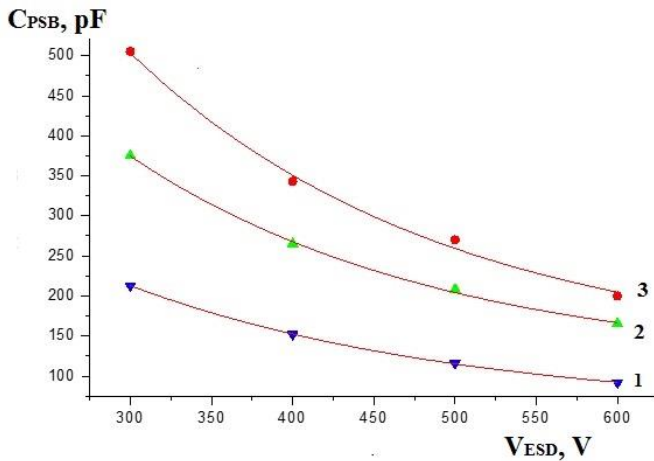


Рис. 4. Зависимость емкости печатной платы, при которой возникает пробой подзатворного диэлектрика и напряжением ЭСР, попадающего в цепь МОП транзистора: 1 – IRLMS1503PbF; 2 – IRFZ24NPbF; 3 – IRLR024NPbF.

В то же время для IRFZ24NPbF она не должна превышать 208 пФ, а в цепи с IRLMS1503PbF – 116 пФ.

При проектировании РЭА, полученные (рис. 4) зависимости позволяют сделать вывод о необходимости дополнительной схемотехнической защиты путем установки ESD защитного диода, либо обоснованно сформулировать требования к конструктивным параметрам печатной платы обуславливающим наличие паразитных емкостей контактных площадок, перекрытия проводников и металлизации печатной платы.

Так, например, для защиты транзистора IRLMS1503PbF предпочтительно использовать внешнюю защиту ESD диодом, как показано на схеме, приведенной на рис. 5.

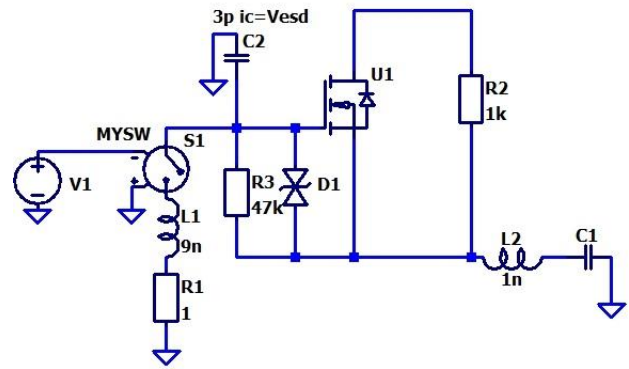


Рис. 5. Схемотехническая модель воздействия ЭСР на МОП транзисторы с внешним ESD защитным диодом ESD249-B1-W0201.

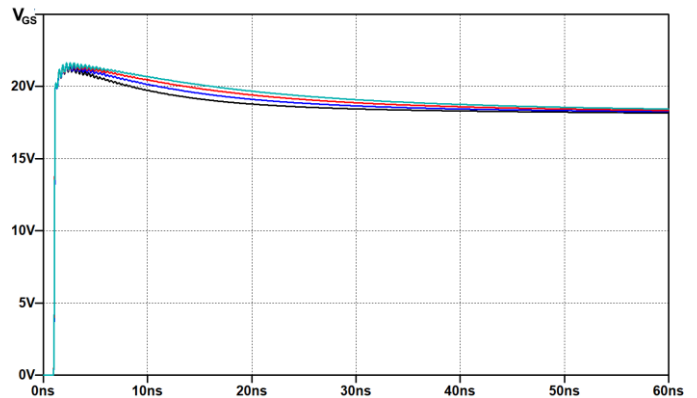


Рис. 6. Кривые переходного процесса напряжение затвор– исток транзистора IRL1503PbF с защитным диодом ESD249-B1-W0201 при напряжении разряда $V_{ESD}=400$ В и емкостях печатной платы C_{psb} 300 - 600 пФ

Результаты моделирования защиты транзистора IRLMS1503PbF от ЭСР с помощью диода ESD249-B1-W0201 приведены на рис. 6. Из рисунка видно, что в этом случае использование диода практически исключает в исследуемом диапазоне влияния емкости печатной платы на величину напряжения затвор – исток.

Заключение

Проведено исследование воздействия ЭСР на ряд мощных МОП транзисторов с встроенной защитой. Показано, что транзисторы, имеющие малые значения емкости затвор – исток, более восприимчивы к воздействию электростатических разрядов. Установлена зависимость емкости печатной платы, при которой происходит пробой подзатворного оксида МОП транзистора, и напряжения ЭСР. Полученные зависимости позволяют обоснованно сделать вывод о необходимости разработки дополнительных схемотехнических или конструкторских способов защиты.

Список литературы

1. Кечиев Л.Н., Пожидаев Е.Д. Защита электронных средств от воздействия статического электричества. М.: ИД «Технологии», 2004. 346 с.
2. Строгонов А., Горлов М. Воздействие электростатических разрядов на интегральные схемы // Компоненты и технологии.

2008. №2. С. 126-130.

3. Карпович М.С., Лысь В.Д. Разработка электростатической защиты элементов ввода-вывода интегральных микросхем, выполненных по субмикронной высоковольтной КМОП технологии // Вестник СибГУТИ. 2015. №3. С. 55-65.

4. R.Liang. Design considerations for system-level ESD circuit protection. Analog Applications Journal High-Performance Analog Products 4Q 2012 p. 28-31.

5. Пожидаев Е.Д. и др. Повышение стойкости космических аппаратов к воздействию поражающих факторов электризации // Космонавтика и ракетостроение. 2003. № 1 (30). С. 32–35.

6. E.D. Pozhidaev, V.S. Saenko, A.E. Abrameshin, “Modelirovanie i ehksperimentalnoe issledovanie rabochih harakteristik radiotekhnicheskikh uzlov vypolnennyh na pechatnyh platah s povyshennoj ustojchivostyu k ehlektrostatcheskim razryadam (Simulation and the experimental study of characteristics of the radio engineering nodes executed on PCB with the increased resistance to ESD), Tekhnologii ehlektromagnitnoj sovmestivosti - Technologies of electromagnetic compatibility. vol. 56, no.1, pp. 34-40, 2016.

7. Структуры интегральных МОП-транзисторов. / <https://helpiks.org/7-69025.html>.

8. Industry Council on ESD Target Levels. — White Paper 2: A Case for Lowering Component Level CDM ESD Specifications and Requirements, April, 2010.

9. Colnar J., Trotman J., Petrice R. Decreased CDM ratings for ESD-sensitive devices in printed circuit boards // In Compliance. — 2010. — September. — Pp. 38 – 41.

10. International Rectifier. — ESD Testing of MOS Gated Power Transistors. Application Note AN-986. <http://www.irf.com/technical-info/appnotes/an-986.pdf>.

11. Ю.А. Константинов, Е.С. Горланов, Е.Д. Пожидаев, С.Р. Тумковский. Компьютерное моделирование воздействия электростатических разрядов на мощные МОП транзисторы с учетом влияния емкости печатной платы // Системный администратор. 2018. № 09 (190). С. 84-89.

12. Datasheet IRLMS1503PbF
<https://www.infineon.com/dgdl/irlms1503pbf.pdf?fileId=5546d462533600a401535668f6282644>

13. Datasheet IRFZ24NPbF
<https://www.infineon.com/dgdl/irfz24npbf.pdf?fileId=5546d462533600a40153563af6ce21f7>

14. Datasheet IRLR024NPbF
<https://www.infineon.com/dgdl/irlr024npbf.pdf?fileId=5546d462533600a4015356694f7f265d>

15. Kechiev L., Kuznetsov V. V. Charged Board Model ESD Simulation for PCB Mounted MOS Transistors // IEEE Transactions on Electromagnetic Compatibility. 2015. Vol. 57. No. 5. P. 947-954.

16. Константинов А.А., Лисовский А.А. Воздействие импульсных помех на стабильность работы микропроцессорных устройств//III Международная конференция молодых ученых «Интеграция науки и техники». 2013.

17. Барышев В. Г., Столяров А. А. Исследование дефектности тонкопленочного диэлектрика методом микропробоя // Электронная техника. Сер. Материалы. 1983. вып. 9(182). С. 72-74.

18 Spice model IRLMS1503PbF
<https://www.infineon.com/dgdl/lms1503.spi?fileId=5546d462533600a40153573f81ff3e7f>